

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月14日

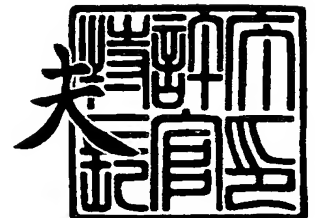
出願番号
Application Number: 特願2003-108667
[ST. 10/C]: [JP 2003-108667]

出願人
Applicant(s): 株式会社半導体エネルギー研究所
シャープ株式会社

2004年 1月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 P006798

【提出日】 平成15年 4月14日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 三宅 博之

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 高橋 圭

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 宮田 和彦

【特許出願人】

【識別番号】 000153878

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地

【氏名又は名称】 株式会社半導体エネルギー研究所

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100089266

【弁理士】

【氏名又は名称】 大島 陽一

【手数料の表示】

【予納台帳番号】 047902

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0206997

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D/A変換回路及びそれを内蔵した半導体装置並びにそれらの製造方法

【特許請求の範囲】

【請求項1】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位を、レーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を同一のショットのレーザ結晶化により結晶化する過程を有することを特徴とするD/A変換回路の製造方法。

【請求項2】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、

前記直列に接続された複数の抵抗素子の形成部位を、前記抵抗素子群毎に異なるレーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を同一のショットのレーザ光照射により結晶化する過程と、

前記複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を設ける過程とを有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とするD/A変換回路の製造方法。

【請求項3】 前記補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、前記補助抵抗素子を設ける過程は、前記補助抵抗素子の全ての形

成部位を、レーザ光照射領域内に配置する過程と、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位を同一のショットのレーザ光照射により結晶化させる過程を含むことを特徴とした請求項2に記載のD/A変換回路の製造方法。

【請求項4】 前記抵抗素子の形成部位の各々は、互いに平行になるように配置され、前記線状レーザ光照射のスキャン方向と前記抵抗素子の形成部位の各々が平行であることを特徴とした請求項1乃至請求項3のいずれか一項に記載のD/A変換回路の製造方法。

【請求項5】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位を、レーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を1つのショットのレーザ光照射により結晶化する過程を有することを特徴とするD/A変換回路の製造方法。

【請求項6】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、

前記直列に接続された複数の抵抗素子の形成部位を、前記抵抗素子群毎に異なるレーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を1つのショットのレーザ光照射により結晶化する過程と、

前記複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を設ける過程とを有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗

素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とする D/A 変換回路の製造方法。

【請求項 7】 前記補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、前記補助抵抗素子を設ける過程は、前記補助抵抗素子の全ての形成部位を、レーザ光照射領域内に配置する過程と、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位を 1 つのショットのレーザ光照射により結晶化させる過程を含むことを特徴とする請求項 6 に記載の D/A 変換回路の製造方法。

【請求項 8】 前記抵抗素子の形成部位の各々は、互いに平行であることを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の D/A 変換回路の製造方法。

【請求項 9】 前記抵抗素子の形成部位の各々は、同一形状になるように配置されることを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の D/A 変換回路の製造方法。

【請求項 10】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化される薄膜素子である D/A 変換回路を内蔵した半導体装置の製造方法であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位を、レーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を同一のショットのレーザ結晶化により結晶化する過程を有することを特徴とする D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 11】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化される薄膜素子である D/A 変換回路を内蔵した半導体装置の製造方法であって、

前記直列に接続された複数の抵抗素子の形成部位を、前記抵抗素子群毎に異な

るレーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を同一のショットのレーザ光照射により結晶化する過程と、

前記複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を設ける過程とを有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とする D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 1 2】 前記補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、前記補助抵抗素子を設ける過程は、前記補助抵抗素子の全ての形成部位を、レーザ光照射領域内に配置する過程と、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位を同一のショットのレーザ光照射により結晶化させる過程を含むことを特徴とする請求項 1 1 に記載の D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 1 3】 前記抵抗素子の形成部位の各々は、互いに平行であって、前記線状レーザ光照射のスキャン方向と前記抵抗素子の形成部位の各々が平行であることを特徴とした請求項 1 0 乃至請求項 1 2 のいずれか一項に記載の D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 1 4】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化される薄膜素子である D/A 変換回路を内蔵した半導体装置の製造方法であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位を、レーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を 1 つのショットのレーザ光照射により結晶化する過程を有することを特徴とする D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 1 5】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の

抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化される薄膜素子である D/A 変換回路を内蔵した半導体装置の製造方法であって、

前記直列に接続された複数の抵抗素子の形成部位を、前記抵抗素子群毎に異なるレーザ光照射領域内に配置する過程と、

前記レーザ光照射領域内に配置された抵抗素子の形成部位を 1 つのショットのレーザ光照射により結晶化する過程と、

前記複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を設ける過程とを有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とする D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 16】 前記補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、前記補助抵抗素子を設ける過程は、前記補助抵抗素子の全ての形成部位を、レーザ光照射領域内に配置する過程と、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位を 1 つのショットのレーザ光照射により結晶化させる過程を含むことを特徴とする請求項 15 に記載の D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 17】 前記抵抗素子の形成部位の各々は、互いに平行であることを特徴とした請求項 10 乃至請求項 16 のいずれか一項に記載の D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 18】 前記抵抗素子の形成部位の各々は、同一形状であることを特徴とする請求項 10 乃至請求項 17 のいずれか一項に記載の D/A 変換回路を内蔵した半導体装置の製造方法。

【請求項 19】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化された薄膜素子である D/A 変換回路であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位は、レーザ光照射領

域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されていることを特徴とするD/A変換回路。

【請求項20】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、

前記直列に接続された複数の抵抗素子の形成部位は、前記抵抗素子群毎に異なるレーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されており、

前記抵抗素子群の各々対して並列に接続された補助抵抗素子を有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とするD/A変換回路。

【請求項21】 前記補助抵抗素子は、レーザ光照射により結晶化された薄膜素子であって、前記補助抵抗素子の全ての形成部位は、レーザ光照射領域内に配置されており、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されていることを特徴とした請求項20に記載のD/A変換回路。

【請求項22】 前記抵抗素子の形成部位の各々は、互いに平行であって、前記線状レーザ光照射のスキャン方向と前記抵抗素子の形成部位の各々が平行であることを特徴とした請求項19乃至請求項21のいずれか一項に記載のD/A変換回路。

【請求項23】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位は、レーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されていることを特徴とするD/A変換回路。

【請求項24】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、

前記直列に接続された複数の抵抗素子の形成部位は、前記抵抗素子群毎に異なるレーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されており、

前記抵抗素子群の各々対して並列に接続された補助抵抗素子を有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とするD/A変換回路。

【請求項25】 前記補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、前記補助抵抗素子の全ての形成部位は、レーザ光照射領域内に配置されており、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されていること特徴とした請求項24に記載のD/A変換回路。

【請求項26】 前記抵抗素子の形成部位の各々は、互いに平行であることを特徴とする請求項19乃至請求項25のいずれか一項に記載のD/A変換回路。

【請求項27】 前記抵抗素子の形成部位の各々は、同一形状であることを特徴とする請求項19乃至請求項26のいずれか一項に記載のD/A変換回路。

【請求項28】 前記複数の抵抗素子の各々は、同一の抵抗値を有する金

属配線により互いに接続されていることを特徴とする請求項 19 から請求項 27 のいずれか一項に記載の D/A 変換回路。

【請求項 29】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化された薄膜素子である D/A 変換回路を内蔵した半導体装置であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位は、レーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されていることを特徴とする D/A 変換回路を内蔵した半導体装置。

【請求項 30】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、線状レーザ光照射により結晶化された薄膜素子である D/A 変換回路を内蔵した半導体装置であって、

前記直列に接続された複数の抵抗素子の形成部位は、前記抵抗素子群毎に異なるレーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されており、

前記複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とする D/A 変換回路を内蔵した半導体装置。

【請求項 31】 前記補助抵抗素子は、レーザ光照射により結晶化された薄膜素子であり、前記補助抵抗素子の全ての形成部位は、レーザ光照射領域内に配置されており、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されていることを特徴とした請求項 30 に記載の D/A 変換回路を内蔵した半導体装置。

【請求項 3 2】 前記抵抗素子の形成部位の各々は、互いに平行であって、前記線状レーザ光照射のスキャン方向と前記抵抗素子の形成部位の各々が平行であることを特徴とした請求項 2 9 乃至請求項 3 1 のいずれか一項に記載の D/A 変換回路を内蔵した半導体装置。

【請求項 3 3】 基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、前記複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化された薄膜素子である D/A 変換回路を内蔵した半導体装置であって、

前記抵抗ストリングを構成する全ての抵抗素子の形成部位は、レーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されていることを特徴とする D/A 変換回路を内蔵した半導体装置。

【請求項 3 4】 基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、前記複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、前記複数の抵抗素子は、レーザ光照射により結晶化された薄膜素子である D/A 変換回路を内蔵した半導体装置であって、

前記直列に接続された複数の抵抗素子の形成部位は、前記抵抗素子群毎に異なるレーザ光照射領域内に配置されており、

前記レーザ光照射領域内に配置された抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されており、

前記抵抗素子群の各々対して並列に接続された補助抵抗素子を有し、

前記補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された前記抵抗素子群の合成抵抗値に比べて十分小さいことを特徴とする D/A 変換回路を内蔵した半導体装置。

【請求項 3 5】 前記補助抵抗素子は、レーザ光照射により結晶化された薄膜素子であり、前記補助抵抗素子の全ての形成部位は、レーザ光照射領域内に配置されており、前記レーザ光照射領域内に配置された補助抵抗素子の形成部位

は、1つのショットのレーザ光照射により結晶化されていること特徴とした請求項34に記載のD/A変換回路を内蔵した半導体装置。

【請求項36】 前記抵抗素子の形成部位の各々は、互いに平行であることを特徴とする請求項29乃至請求項35のいずれか一項に記載のD/A変換回路を内蔵した半導体装置。

【請求項37】 前記抵抗素子の形成部位の各々は、同一形状になるように配置されたことを特徴とする請求項29乃至請求項36のいずれか一項に記載のD/A変換回路を内蔵した半導体装置。

【請求項38】 前記複数の抵抗素子の各々は、同一の抵抗値を有する金属配線により互いに接続されたことを特徴とする請求項29から請求項37のいずれか一項に記載のD/A変換回路を内蔵した半導体装置。

【請求項39】 請求項29乃至請求項38の何れか一項における前記半導体装置を内蔵したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、抵抗ストリング型のD/A変換（デジタル／アナログ変換）回路（DAC）及びそれを内蔵した半導体装置並びにそれらの製造方法に関する。

【0002】

【従来の技術】

近年、鮮明で高速の画像表示が可能な低温ポリシリコンTFT液晶やCGS液晶等が、その薄型、軽量、低消費電力等の特徴により、携帯電話、デジタルカメラ、ノートパソコン、PDA（携帯情報端末）などのモバイル用ディスプレイとして利用されている。

【0003】

従来、この種のディスプレイに用いられる表示機能を持った半導体装置では、D/A変換機能を必要とするオーディオ用回路等は、通常はLSIを用いて表示装置とは別に構成されていた。この場合、LSIチップを使用して正確なD/A変換が可能である一方で、表示装置の外部にプリント基板を設ける必要があり、

軽薄短小化の妨げとなっていた。一方、表示機能をもった半導体装置において、図10に示すようなD/A変換機能を有するものは作られている（例えば、特許文献1参照。）。このDA変換回路は、 V_H と V_L の間の電圧を容量の比で分圧するもので、容量の精度で全体の精度が決まる。しかし、これらは映像信号用の8ビット程度のものであり、オーディオ回路用のビット数の大きなD/A変換回路はまだ無かった。

【0004】

現在、デジタルオーディオ技術の進歩によって、音声の記憶や伝達媒体においてデジタル化が進んでおり、デジタル情報をアナログに変換するためのより高性能なD/A変換回路（以降、DAC）が必要不可欠である。そこで、図11に示すように、2つの基準電源 V_R 及び V_S の間に接続された抵抗ストリング200を構成する抵抗素子（単位抵抗）301～Nを、半導体薄膜中の不純物拡散層や多結晶シリコン膜によって形成した抵抗ストリング型のDAC300が知られており、この種のDACは、小スペースに構成できることから、特に、小型化を要求されるモバイル機器等に適する。（例えば、特許文献2参照。）。

【0005】

【特許文献1】

特開2000-341125号公報

【特許文献2】

特開2000-138586号公報

【0006】

【発明が解決しようとする課題】

しかし、上述のような抵抗ストリング型のDACの精度は、抵抗素子の製造誤差に依存する。即ち、抵抗素子が抵抗値の製造誤差を有することによって、抵抗ストリングに非線型誤差が生じ、結果としてDACの精度を十分に維持できなくなる。特に低温ポリシリコンTFETを用いた半導体装置では、抵抗ストリング型のDACの各抵抗素子を形成するために、半導体薄膜をレーザ光照射によって結晶化する。ここで用いられるパルス発振のレーザ光照射装置は、図12に示すように、概ね線状（或いは矩形状）をなすレーザ光照射領域450を有し、断続的

なショットを実施しながら照射領域450をスキャン方向（図中の矢印の向き）にスキャンすることで半導体薄膜の所定の結晶化領域460を結晶化する。一般にレーザ光照射領域450の幅は数100 μ mから数mm程度、スキャンの送りピッチは数十 μ m程度で行うため、1つの場所は10回～100回程度照射される。尚、図12及びその他図面において示されるレーザ光照射領域の大きさは、あくまで例示であって、本発明の目的を達成可能な限りにおいて、抵抗素子等との相対的な関係は、実際とは異なる場合がある。

【0007】

レーザ光の照射エネルギー（レーザ光出力）は、理想的には全てのショットにおいて同一であることが望ましいが、実際には、レーザ光発振のばらつきによって、通常は異なるショットでは照射エネルギーも異なる。ここで、図12には、説明の便宜上、後に形成される抵抗ストリング300を示してあるが、例えば、レーザ光照射領域450の中に位置する複数の抵抗素子X1～X7は、それぞれが同様にレーザ光照射を受けるので概ね同一の抵抗値を有するが、レーザ光照射領域450の外側にある他の抵抗素子は、これとは別のショットで形成されるため必ずしも抵抗素子X1～X7と同一の抵抗値を有するものとはならない。

【0008】

従って、複数回のショットで結晶化された抵抗素子は、抵抗値にばらつきが生じ、そのような抵抗ストリングを用いたDACでは、処理データについて要求される精度が高い場合（ビット数が大きい場合）には、出力の直線性が悪化するなどの問題が起こり得る。レーザ光ショットのエネルギーのばらつきは数%あり、その結果として、異なるレーザ光ショット領域では抵抗ばらつきが10%になることもある。

【0009】

図12に示すような抵抗配置とレーザ光ショットでは、図13に示すように直線性が損なわれる。従来のレーザ結晶化をおこなった抵抗ストリング型のDACでは、要求性能を十分満たすことはできない。

【0010】

本発明は、このような従来技術の問題点を解消すべく案出されたものであり、

その主目的は、抵抗ストリングを構成する抵抗素子の抵抗値の相対精度を向上させ、データ反転等の問題なくより高いビット数のデータ処理を高精度に実施可能なD/A変換回路及びそれを内蔵した半導体装置並びにそれらの製造方法を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するために、本発明のD/A変換回路の製造方法は、基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、線状レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、抵抗ストリングを構成する全ての抵抗素子の形成部位を、レーザ光照射領域内に配置する過程と、レーザ光照射領域内に配置された抵抗素子の形成部位を同一のショットのレーザ結晶化により結晶化する過程を有する構成とした。

【0012】

これによれば、抵抗素子の形成の際に、線状レーザ光の所定のレーザ光照射領域内に配置された全ての抵抗素子の形成部位（即ち、半導体素子膜において各抵抗素子を形成するべくパターンニングされる部位）は、同一のショットにより均一の照射エネルギーで照射されるので、抵抗ストリングの抵抗素子は均一に結晶化されて抵抗値のばらつきを防止できる。従って、各抵抗素子間の相対精度が向上して、スイッチ素子を介して各接続点から取り出される出力電圧の十分な直線性が確保され、より大きなビット数のデータを処理する場合でもデータ反転等の問題が生じることなく良好なD/A変換が可能となる。

【0013】

また、本発明のD/A変換回路の製造方法は、基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、線状レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、直列に接続された複数の抵抗素子の形成部位を、抵抗素子群毎に異なるレーザ光照射領域内に配置する過程と、レーザ光照射

領域内に配置された抵抗素子の形成部位を同一のショットのレーザ光照射により結晶化する過程と、複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を設ける過程とを有し、補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された抵抗素子群の合成抵抗値に比べて十分小さい構成とした。

【0014】

これによれば、抵抗素子の形成の際に、線状レーザ光の所定のレーザ光照射領域内に配置された全ての抵抗素子の形成部位は、同一のショットによる均一の照射エネルギーで照射されるので、同一の抵抗素子群を構成する全ての抵抗素子は均一に結晶化され、抵抗値のばらつきを防止できる。

【0015】

また、各抵抗素子群において、直列に接続された複数の抵抗素子には、それらの合成抵抗値に比べて十分小さな抵抗値を有する補助抵抗素子が並列に接続されるので、各抵抗素子群の両端部の間の抵抗値（即ち、直列に接続された複数の抵抗素子と、それらに並列に接続された補助抵抗素子との合成抵抗値）は、実質上補助抵抗素子の抵抗値によって定まる。また、各補助抵抗素子の抵抗値を予め保証された実質上同一の値とするので、各抵抗素子群の両端部の間の抵抗値は概ね同一の値とすることができる。つまり、各抵抗素子群は、異なるショットにより異なる照射エネルギーによって照射されるので、各抵抗素子群を構成する複数の抵抗素子の合成抵抗値は互いに異なる場合もあるが、補助抵抗素子によってそのような各抵抗素子群間の抵抗値の相違を補償し、各抵抗素子群の両端部に一定の電圧を印可することができる。

【0016】

従って、同一の抵抗素子群における各抵抗素子の抵抗値が均一であれば、各抵抗素子の接続点から取り出される出力電圧の十分な直線性が確保され、より大きなビット数のデータを処理する場合でも良好なD/A変換が可能となる。例えば、より高精度なD/A変換機能が要求される場合では、抵抗ストリングを構成する抵抗素子の数が多くなるので、抵抗ストリングを構成する全ての抵抗素子を1回のショットのレーザ光照射によって均一にアニーリングすることは困難となる

が、本発明はそのような場合に特に有用である。

【0017】

尚、各抵抗素子群に接続された補助抵抗素子の抵抗値は、それらの値を実質上同一とした場合に、各抵抗素子群の抵抗値が、D/A変換回路の機能上同一とみなせる程度（即ち、抵抗素子群を構成する複数の抵抗素子の合成抵抗値を無視できる程度）に十分小さくすることが必要である。

【0018】

上記D/A変換回路の製造方法においては、補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、補助抵抗素子を設ける過程は、補助抵抗素子の全ての形成部位を、レーザ光照射領域内に配置する過程と、レーザ光照射領域内に配置された補助抵抗素子の形成部位を同一のショットのレーザ光照射により結晶化させる過程を含む構成とした。

【0019】

これによれば、補助抵抗素子の形成の際に、線状レーザ光の所定のレーザ光照射領域内に配置された全ての補助抵抗素子の形成部位（即ち、半導体素子膜において各補助抵抗素子を形成するべくパターニングされる部位）は、同一のショットにより均一の照射エネルギーで照射されるので、全ての補助抵抗素子は均一に結晶化されて抵抗値のばらつきを防止できる。従って、同一の抵抗値を有する補助抵抗素子を容易に形成可能となる。また、補助抵抗素子を他の抵抗素子やスイッチ素子等と同一の半導体素子膜上に形成可能なので、D/A変換回路をより小型化できる。

【0020】

上記D/A変換回路の製造方法においては、抵抗素子の形成部位の各々は、互いに平行になるように配置され、線状レーザ光照射のスキャン方向と抵抗素子の形成部位の各々が平行である構成とした。

【0021】

これによれば、各抵抗素子の長手方向に垂直な方向（即ち、抵抗ストリングの長手方向）において、抵抗ストリングのサイズを小さくすることができるので、抵抗ストリングを構成する複数の抵抗素子を所定のレーザ光照射領域内に容易に

配置することが可能となり、結果として、D/A変換回路をより小型化可能となる。

【0022】

また、本発明のD/A変換回路の製造方法は、基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、抵抗ストリングを構成する全ての抵抗素子の形成部位を、レーザ光照射領域内に配置する過程と、レーザ光照射領域内に配置された抵抗素子の形成部位を1つのショットのレーザ光照射により結晶化する過程を有する構成とした。

【0023】

これによれば、抵抗素子の形成の際に、正方形又はそれに近い長方形の領域を1回のショットで結晶化可能な面状レーザ光の照射領域内に配置された全ての抵抗素子の形成部位は、1回のショットにより均一の照射エネルギーで照射されるので、抵抗ストリングの抵抗素子は均一に結晶化されて抵抗値のばらつきを防止できる。従って、各抵抗素子間の相対精度が向上して、スイッチ素子を介して各接続点から取り出される出力電圧の十分な直線性が確保され、より大きなビット数のデータを処理する場合でもデータ反転等の問題が生じることなく良好なD/A変換が可能となる。

【0024】

また、本発明のD/A変換回路の製造方法は、基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、レーザ光照射により結晶化される薄膜素子であるD/A変換回路の製造方法であって、直列に接続された複数の抵抗素子の形成部位を、抵抗素子群毎に異なるレーザ光照射領域内に配置する過程と、レーザ光照射領域内に配置された抵抗素子の形成部位を1つのショットのレーザ光照射により結晶化する過程と、複数の抵抗素子群の各々対して並列に接続された補助抵抗素子を設ける過程とを有し、補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値

は、各補助抵抗素子が接続された抵抗素子群の合成抵抗値に比べて十分小さい構成とした。

【0025】

これによれば、抵抗素子の形成の際に、正方形又はそれに近い長方形の領域を1回のショットで結晶化可能な面状レーザ光の照射領域内に配置された全ての抵抗素子の形成部位は、1回のショットによる均一の照射エネルギーで照射されるので、同一の抵抗素子群を構成する全ての抵抗素子は均一に結晶化され、抵抗値のばらつきを防止できる。

【0026】

また、各抵抗素子群において、直列に接続された複数の抵抗素子には、それらの合成抵抗値に比べて十分小さな抵抗値を有する補助抵抗素子が並列に接続されるので、各抵抗素子群の両端部の間の抵抗値は、実質上補助抵抗素子の抵抗値によって定まる。また、各補助抵抗素子の抵抗値を予め保証された実質上同一の値とするので、各抵抗素子群の両端部の間の抵抗値は概ね同一の値とすることができる。つまり、各抵抗素子群は、異なるショットにより異なる照射エネルギーによって照射されるので、各抵抗素子群を構成する複数の抵抗素子の合成抵抗値は互いに異なる場合もあるが、補助抵抗素子によってそのような各抵抗素子群間の抵抗値の相違を補償し、各抵抗素子群の両端部に一定の電圧を印可することができる。

【0027】

従って、同一の抵抗素子群における各抵抗素子の抵抗値が均一であれば、各抵抗素子の接続点から取り出される出力電圧の十分な直線性が確保され、より大きなビット数のデータを処理する場合でも良好なD/A変換が可能となる。

上記D/A変換回路の製造方法においては、補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、補助抵抗素子を設ける過程は、補助抵抗素子の全ての形成部位を、レーザ光照射領域内に配置する過程と、レーザ光照射領域内に配置された補助抵抗素子の形成部位を1つのショットのレーザ光照射により結晶化させる過程を含む構成とした。

【0028】

これによれば、補助抵抗素子の形成の際に、正方形又はそれに近い長方形の領域を1回のショットで結晶化可能な面状レーザ光の照射領域内に配置された全ての補助抵抗素子の形成部位は、1回のショットにより均一の照射エネルギーで照射されるので、全ての補助抵抗素子は均一に結晶化されて抵抗値のばらつきを防止できる。従って、同一の抵抗値を有する補助抵抗素子を容易に形成可能となる。また、補助抵抗素子を他の抵抗素子やスイッチ素子等と同一の半導体素子膜上に形成可能なので、D/A変換回路をより小型化できる。

【0029】

上記D/A変換回路の製造方法においては、抵抗素子の形成部位の各々は、互いに平行である構成とした。

【0030】

これによれば、各抵抗素子の長手方向に垂直な方向において、抵抗ストリングのサイズを小さくすることができるので、抵抗ストリングを構成する複数の抵抗素子を所定のレーザ光照射領域内に容易に配置することが可能となり、結果として、D/A変換回路をより小型化可能となる。

【0031】

上記D/A変換回路の製造方法においては、抵抗素子の形成部位の各々は、同一形状になるように配置される構成とした。

【0032】

これによれば、抵抗ストリングを構成する複数の抵抗素子をレーザ光の照射領域内に容易に配置することが可能となる。

【0033】

本発明のD/A変換回路は、基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、線状レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、抵抗ストリングを構成する全ての抵抗素子の形成部位は、レーザ光照射領域内に配置されており、レーザ光照射領域内に配置された抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されている構成とした。

【0034】

また、本発明のD/A変換回路は、基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、線状レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、直列に接続された複数の抵抗素子の形成部位は、抵抗素子群毎に異なるレーザ光照射領域内に配置されており、レーザ光照射領域内に配置された抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されており、抵抗素子群の各々対して並列に接続された補助抵抗素子を有し、補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された抵抗素子群の合成抵抗値に比べて十分小さい構成とした。

【0035】

上記D/A変換回路においては、補助抵抗素子は、レーザ光照射により結晶化された薄膜素子であって、補助抵抗素子の全ての形成部位は、レーザ光照射領域内に配置されており、レーザ光照射領域内に配置された補助抵抗素子の形成部位は、同一のショットのレーザ光照射により結晶化されている構成とした。

【0036】

また、上記D/A変換回路においては、抵抗素子の形成部位の各々は、互いに平行であって、線状レーザ光照射のスキャン方向と抵抗素子の形成部位の各々が平行である構成とした。

【0037】

また、本発明のD/A変換回路は、基準電圧間に直列に接続された複数の抵抗素子からなる抵抗ストリングと、複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、抵抗ストリングを構成する全ての抵抗素子の形成部位は、レーザ光照射領域内に配置されており、レーザ光照射領域内に配置された抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されている構成とした。

【0038】

また、本発明のD/A変換回路は、基準電圧間に直列に接続された複数の抵抗素子群からなる抵抗ストリングと、複数の抵抗素子群を構成する直列に接続された複数の抵抗素子の各接続点に接続された複数のスイッチ素子とを有し、複数の抵抗素子は、レーザ光照射により結晶化された薄膜素子であるD/A変換回路であって、直列に接続された複数の抵抗素子の形成部位は、抵抗素子群毎に異なるレーザ光照射領域内に配置されており、レーザ光照射領域内に配置された抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されており、抵抗素子群の各々対して並列に接続された補助抵抗素子を有し、補助抵抗素子の各々は、同一の抵抗値を有し、その抵抗値は、各補助抵抗素子が接続された抵抗素子群の合成抵抗値に比べて十分小さい構成とした。

【0039】

上記D/A変換回路においては、補助抵抗素子は、レーザ光照射により結晶化される薄膜素子であり、補助抵抗素子の全ての形成部位は、レーザ光照射領域内に配置されており、レーザ光照射領域内に配置された補助抵抗素子の形成部位は、1つのショットのレーザ光照射により結晶化されている構成とした。

【0040】

また、上記D/A変換回路においては、抵抗素子の形成部位の各々は、互いに平行である構成とした。

【0041】

また、上記D/A変換回路においては、抵抗素子の形成部位の各々は、同一形状である構成とした。

【0042】

また、上記D/A変換回路においては、複数の抵抗素子の各々は、同一の抵抗値を有する金属配線により互いに接続されている構成とした。

【0043】

これによれば、各抵抗素子の抵抗値が小さい場合でも、各抵抗素子を相互に接続する金属配線の抵抗値の影響を受けることなく良好なデータ処理が可能となる。

【0044】

尚、線状レーザ光とは、照射面において長さ100mm以上の線状となるように光学系にて成形されたものである。尚、ここでいう「線状」は、厳密な意味で「線」を意味しているものではなく、アスペクト比の大きい長方形（若しくは長楕円形又はそれに近似の形状）を意味する。例えば、アスペクト比が2以上（好ましくは、10～10000）のものを指すが、照射面における形状が矩形状であるレーザ光も含まれることに変わりはない。

【0045】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して詳細に説明する。

【0046】

図1は、本発明の一実施例によるDACの概略構成を示す図である。本実施例では、便宜上3ビットのDACを例に説明するが、より大きいビット数でも同様に扱うことができる。このDAC10は、基準電源 V_R と基準電源 V_S との間に直列に接続された複数の抵抗素子 $R_1 \sim R_7$ からなる抵抗ストリング11と、それらの抵抗素子の各接続点 $T_0 \sim T_7$ から電位を取り出すための複数のスイッチ素子 $S_0 \sim S_{13}$ からなるスイッチアレイ12とを備える。尚、従来のDACが有する他の構成要素（例えば、スイッチ素子の制御回路、増幅回路、及び入力端子等）については省略してある。また、スイッチアレイ12に含まれるスイッチ素子 $S_0 \sim S_{13}$ は、ツリー構造を有するが、これに限らず種々の構成が可能である。スイッチ素子としては、例えば、MOSFETなどを用いることができる。

【0047】

このDAC10では、従来のDACと同様に、デジタル入力に基づき適切に選択されたスイッチ素子 $S_0 \sim S_{13}$ がオン／オフ（ON／OFF）制御され、接続点 $T_0 \sim T_7$ の電位がアナログ出力部 V_{out} に出力されることで、対応するアナログ出力が得られる。

【0048】

図2は、図1に示す抵抗ストリングの構成の詳細を示す図である。ポリシリコンからなる抵抗素子 $R_1 \sim R_7$ の各々には、コンタクトホール16が設けられ、A1配線（A1電極）17によって互いに接続されている。

【0049】

このような抵抗ストリング11の製造方法について簡単に説明する。ここで、抵抗ストリング11を構成する各抵抗素子R1～R7は、半導体薄膜の所定の領域をレーザ光照射により結晶化することで形成されるが、本明細書中に特に明記する他は、通常のTFT (thin film transistor) の形成と同様の方法で行うことが可能である。また、スイッチ素子S0～S13についても同様である。

【0050】

まず、各抵抗素子R1～R7の形成部位（即ち、半導体素子膜において各抵抗素子を形成するべくパターンニングされる部位）が配置される。ここで、各抵抗素子R1～R7の形成部位は、概ね矩形状をなすが、抵抗ストリング11の長手方向（ここでは、2つの基準電源 V_r 及び V_s を結ぶ方向）のサイズを小さくするために、各形成部位の長手方向が互いに平行になるように並列配置される。このような配置によって、より多くの抵抗素子の形成部位を、所定の線状レーザ光照射領域19に収めるように配置することが可能となる。

【0051】

次に、線状レーザ光照射領域内に配置された抵抗素子R1～R7の形成部位に対して同一のショット（即ち、上述のように1つの場所には位置をずらしながら複数回の線状レーザ光照射が行われるが、各線状レーザ光照射において、全ての形成部位に概ね均一の照射が可能なショット）により線状レーザ光照射を行う。これにより、全ての抵抗素子が均一に結晶化され、形成された抵抗素子は、十分な相対精度を確保することができる。尚、A1配線17の各々を同一の抵抗値を有するように構成することで、各抵抗素子R1～R7の抵抗値が小さい場合でも、A1配線17の抵抗値の影響を受けることなく良好なデータ処理が可能となる。

【0052】

このように、線状レーザ光を用いてレーザ光照射領域内の抵抗素子の形成部位に対して同一のショットによるレーザ光照射を行うことができるが、レーザ光の照射特性（照射領域の形状及びサイズ等を含む）は、使用するレーザ光装置固有のものであるため、均一に結晶化される抵抗ストリングの抵抗素子の構成は、図

2 に示したものに限定されるものではない。

【0053】

そこで、上記線状レーザ光の代りに正方形又はそれに近い長方形の領域を 1 回のショットで結晶化可能な面状レーザ光を用いた例を次に示す。この面状レーザ光は、アスペクト比の小さい四角形（例えば、アスペクト比が 1 以上 2 未満のもの）の照射領域を有する。図 3 は、図 1 に示す DAC の抵抗ストリングの変更例である。この抵抗ストリング 511 は、複数の折り返し部を介して直列に接続された複数の抵抗素子 R11～R26 からなり、それらの抵抗素子 R11～R26 は面状レーザ光の照射領域（以下、面状レーザ光照射領域）519 に収まるように配置されている。

【0054】

従って、この抵抗ストリング 511 の製造の際には、全ての抵抗素子 R11～R26 の形成部位は、1 回のショットのレーザ光照射により結晶化される。これにより、全ての抵抗素子 R11～R26 が均一に結晶化され、形成された抵抗素子 R11～R26 は、十分な相対精度を確保することができる。

【0055】

図 4 は、図 1 に示した DAC の入出力特性を示す図である。図に示すように、デジタル入力に対してアナログ出力の電圧の十分な直線性が達成されていることがわかる。

【0056】

上記のような抵抗素子の配置によって、線状レーザ光を用いた場合には、抵抗ストリング 11 は所定の線状レーザ光照射領域 19 に収まり、また、線状レーザ光を用いた場合には、抵抗ストリング 511 は面状レーザ光照射領域 519 に収まるので、それらを構成する全ての抵抗素子は、同一のショット若しくは 1 回のショットのレーザ光照射によって結晶化可能である。しかしながら、より高精度のデータ処理が要求される DAC では、抵抗ストリングを構成する抵抗素子の数が増加するので、同一のショット若しくは 1 回のショットでレーザ光照射可能な領域に全ての抵抗素子を配置することが困難な場合もある。このような場合、次のような DAC の構成並びに各抵抗素子の結晶化の方法を用いることができる。

【0057】

図5は、本発明の別の実施例によるDACの概略構成を示す図である。このDAC110は、基準電源 V_R と基準電源 V_S との間において、複数の折り返し部を介して直列に接続された複数の抵抗素子群RG1～RG4を有する抵抗ストリング111を備える。また、この抵抗ストリング111では、その抵抗素子群RG1～RG4を構成する直列に接続された複数の抵抗素子に対し、複数の補助抵抗素子RB1～RB4が各々並列に接続される。尚、DAC110は、図1の場合と同様にスイッチアレイを備え、また、従来のDACが有する他の構成要素を有するものであるが、それらについては省略してある。

【0058】

ここで、各抵抗素子群RG1～RG4は、線状レーザ光照射領域191～194に、また、補助抵抗素子RB1～RB4は、線状レーザ光照射領域195にそれぞれ収まるように配置されている。また、補助抵抗素子RB1～RB4は、同一の抵抗値を有し、且つ、その抵抗値は、それらが接続された抵抗素子群RG1～RG4の合成抵抗値（即ち、抵抗素子群を構成する複数の抵抗素子の合成抵抗値）に比べて十分小さい。代表的には、抵抗素子群の合成抵抗値と補助抵抗素子の抵抗値との比は、10：1以上である。

【0059】

上記DAC110によれば、各抵抗素子群RG1～RG4を構成する直列に接続された複数の抵抗素子には、その合成抵抗値に比べて十分小さな抵抗値を有する補助抵抗素子RB1～RB4が並列に接続されるので、各抵抗素子群RG1～RG4の両端部の間の抵抗値（即ち、直列に接続された複数の抵抗素子と、それらに並列に接続された補助抵抗素子との合成抵抗値）は、実質上補助抵抗素子の抵抗値によって定まる。また、各補助抵抗素子の抵抗値を予め保証された同一の値とするので、各抵抗素子群RG1～RG4の両端部の間の抵抗値は、概ね同一の値とすることができる。更に、同一の抵抗素子群における各抵抗素子の抵抗値は均一であるので、図4に示した場合と同様に、各抵抗素子の接続点から取り出される出力電圧の十分な直線性が確保され、より高精度なD/A変換が可能となる。

【0060】

尚、本実施例では、各補助抵抗素子RG1～RG4を他の抵抗素子やスイッチアレイと同様に同一の半導体薄膜上に形成した例を示したが、これに限らず、補助抵抗を半導体薄膜上とは異なる外部に外付け部品として設けることができる。この場合、各補助抵抗の抵抗値を予め保証された同一の値とすることが容易となる。

【0061】

上記抵抗ストリング111の製造においては、まず、抵抗素子群RG1～RG4を構成する複数の抵抗素子の形成部位が配置される。これらの配置については、図1の場合と概ね同様であるが、本実施例の場合では、同一の抵抗素子群を構成する全ての抵抗素子の形成部位が、所定の線状レーザ光照射領域191～194に収まるように配置される。また、抵抗素子群RG1～RG4を構成する直列に接続された複数の抵抗素子に対し、各々並列に接続されるように複数の補助抵抗素子RB1～RB4の形成部位が、所定の線状レーザ光照射領域195に収まるように配置される。

【0062】

次に、各線状レーザ光照射領域191～194に配置された各抵抗素子群RG1～RG4の形成部位に対して、レーザ光を一定方向（図5の矢印の方向）にスキャンしながら、同一のショットにより線状レーザ光照射を行う。同様に、補助抵抗素子RB1～RB4の形成部位に対して同一のショットにより線状レーザ光照射を行う。

【0063】

尚、図5に示す抵抗素子群RG1～RG4及び補助抵抗素子RB1～RB4の配置は、あくまで例示であり、少なくとも上記目的を達成可能なように互いに接続される限りにおいて、種々の変更が可能である。また、上述のように補助抵抗を外付け部品として用いる場合には、補助抵抗素子RB1～RB4の形成過程は省略され得る。

【0064】

このように、線状レーザ光を用いてレーザ光照射領域内の抵抗素子の形成部位

に対して同一のショットによるレーザ光照射を行うことができるが、レーザ光の照射特性は、使用するレーザ光照射装置固有のものであるため、均一に結晶化される抵抗ストリングの抵抗素子の構成は、図5に示したものに限定されるものではない。

【0065】

そこで、上記線状レーザ光の代りに正方形又はそれに近い長方形の領域を1回のショットで結晶化可能な面状レーザ光を用いた例を次に示す。図6は、図5に示すDACの抵抗ストリングの変更例である。この抵抗ストリング611は、複数の折り返し部を介して直列に接続された複数の抵抗素子群RG11～RG14を有する。また、この抵抗ストリング611では、その抵抗素子群RG11～RG14を構成する直列に接続された複数の抵抗素子に対し、複数の補助抵抗素子RB11～RB14が各々並列に接続される。

【0066】

ここで、各抵抗素子群RG11～RG14は、面状レーザ光照射領域691～694に、また、補助抵抗素子RB11～RB14は、面状レーザ光照射領域695にそれぞれ収まるように配置されている。従って、この抵抗ストリング611の製造の際には、各抵抗素子群RG11～RG14の抵抗素子並びに補助抵抗素子RB11～RB14の形成部位は、それぞれ1回のショットのレーザ光照射により結晶化される。これにより、各抵抗素子群RG11～RG14の全ての抵抗素子並びに補助抵抗素子RB11～RB14がそれぞれ均一に結晶化される。

【0067】

図7は、図5に示した補助抵抗素子の変更例を示す図である。ここでは、図5に示した4つの補助抵抗素子RB1～RB4に代えて、2つの抵抗がそれぞれ並列に配置された4組の補助抵抗素子(RB21, RB22)、(RB23, RB24)、(RB25, RB26)、及び(RB27, RB28)を用いた構成をとる。図5の場合と同様に、これらの補助抵抗素子は、それぞれの端子(T21, T22)、(T23, T24)、(T25, T26)、及び(T27, T28)を介して、互いに直列に接続され、また、各抵抗素子群RG1～RG4に対しては各々並列に接続される。補助抵抗素子RB21～RB28は、概ね同一の抵

抗値を有し、且つ、その抵抗値は、接続される抵抗素子群の合成抵抗値に比べて十分小さい。これにより、各組を構成する補助抵抗素子の抵抗値に多少の製造誤差が生じた場合でも、合成抵抗の平均化の効果によって抵抗値（合成抵抗）をより高精度化できる。

【0068】

尚、上述の補助抵抗素子 R B 1 ～ R B 4 の場合と同様に、補助抵抗素子 R B 2 1 ～ R B 2 8 を所定の線状レーザ光照射領域に収まるようにそれぞれ配置し、同一のショットの線状レーザ光照射で形成することが可能である。また、各組を構成する補助抵抗素子の数を更に増やして平均化の効果を高めることもできる。

【0069】

以上のような本発明の D A C の構成及びその製造方法は、この種の D A C を内蔵可能な半導体装置にも適用することができる。ここで、本明細書において「半導体装置」とは、半導体特性を利用することで機能し得る装置全般を指し、電気光学装置、半導体回路及びそれらを内蔵する電子機器全般を含むものである。図 8 (A) ～ (G) には、本発明の D A C を備えた電子機器の一例を示す。図に示すように、そのような電子機器には、ビデオカメラ、パーソナルコンピュータ、P D A、モバイルコンピュータ、時計、及び携帯電話などが含まれる。本発明の D A C は、例えば、各装置の音声出力部に用いることができる。図 9 には、本発明の D A C を用いたオーディオシステムの実施例を示す。オーディオシステム 9 0 0 にはデジタルオーディオ信号が入力される。この信号はデジタル信号処理回路 9 0 1 によって、デジタル信号処理される。処理の内容は、圧縮、伸張フィルタリングなどであるがこれには限定されない。その後、本発明の D A C 9 0 2 によってアナログに変換される。そして、アナログアンプ 9 0 3 によって増幅され、スピーカ 9 0 4 を駆動する。尚、上記のような電子機器では、表示部として主に液晶材料を用いるが、必ずしもこれに限らず、同様の表示機能を有するものであれば当業者に周知の他の構成も可能である。

【0070】

【発明の効果】

このように、本発明によれば、抵抗ストリングを構成する抵抗素子の抵抗値の

相対精度を向上させることができる。結果として、D A Cにおいて、デジタル入力に対して各抵抗素子の接続点から取り出されるアナログ出力電圧の十分な直線性が確保され、より大きなビット数のデータを処理する場合でも高精度なデータ処理が可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施例による D A C の構成を示す模式図

【図 2】

図 1 に示す D A C の抵抗ストリングの構成の詳細を示す図

【図 3】

図 1 に示す D A C の抵抗ストリングの変更例を示す図

【図 4】

図 1 に示す D A C の入出力特性を示す図

【図 5】

本発明の別の実施例による D A C の構成を示す模式図

【図 6】

図 5 に示す D A C の抵抗ストリングの変更例を示す図

【図 7】

図 5 に示す D A C の補助抵抗素子の変更例を示す図

【図 8】

本発明の D A C を備えた電子機器の一例を示す図

【図 9】

本発明の D A C を用いたオーディオシステムの一例

【図 1 0】

従来の D A C の構成を示す模式図

【図 1 1】

従来の抵抗ストリング型 D A C における抵抗ストリングの構成を示す模式図

【図 1 2】

レーザ光照射によって半導体膜上に抵抗素子を形成する方法を示す模式図

【図 13】

図 12 に示す DAC の入出力特性を示す図

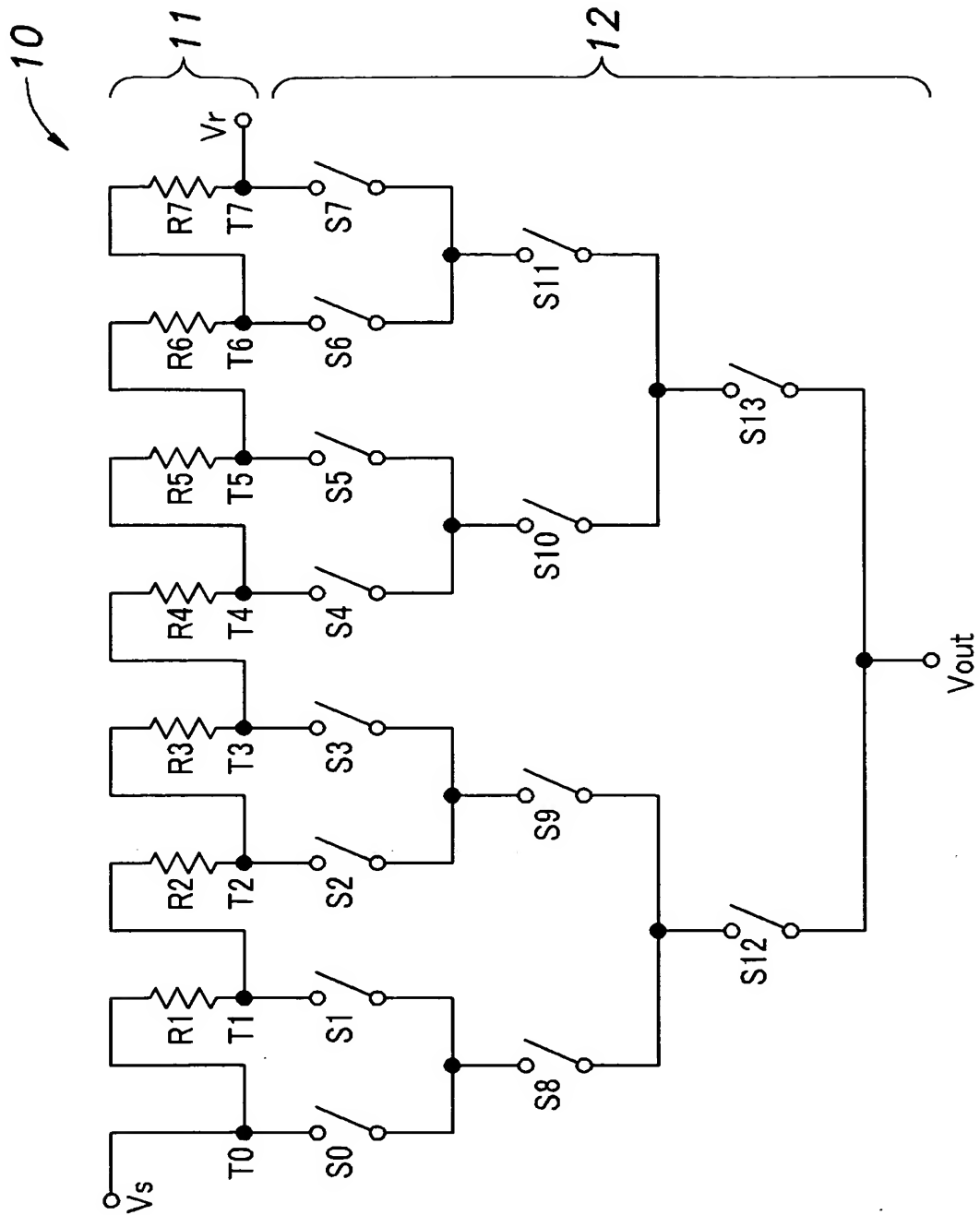
【符号の説明】

- 10、110 D/A 変換回路 (DAC)
- 11、111、511、611 抵抗ストリング
- 12 スイッチアレイ
- 16 コンタクトホール
- 17 A1 配線
- 19、191-195 線状レーザ光照射領域
- 519、691-695 面状レーザ光照射領域
- R1-R7、R11-R26 抵抗素子
- RB1-RB4、RB11-RB14、RB21-RB28 補助抵抗素子
- RG1-RG4、RG11-RG14 抵抗素子群
- S1-S13 スイッチ素子
- T1-T7 接続点
- V_r 、 V_s 基準電源

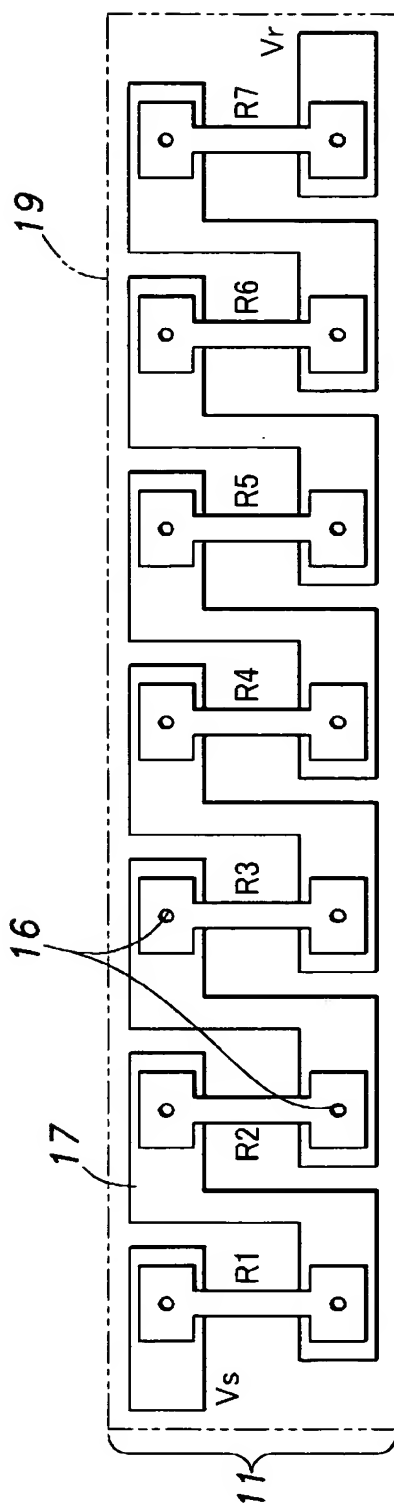
【書類名】

図面

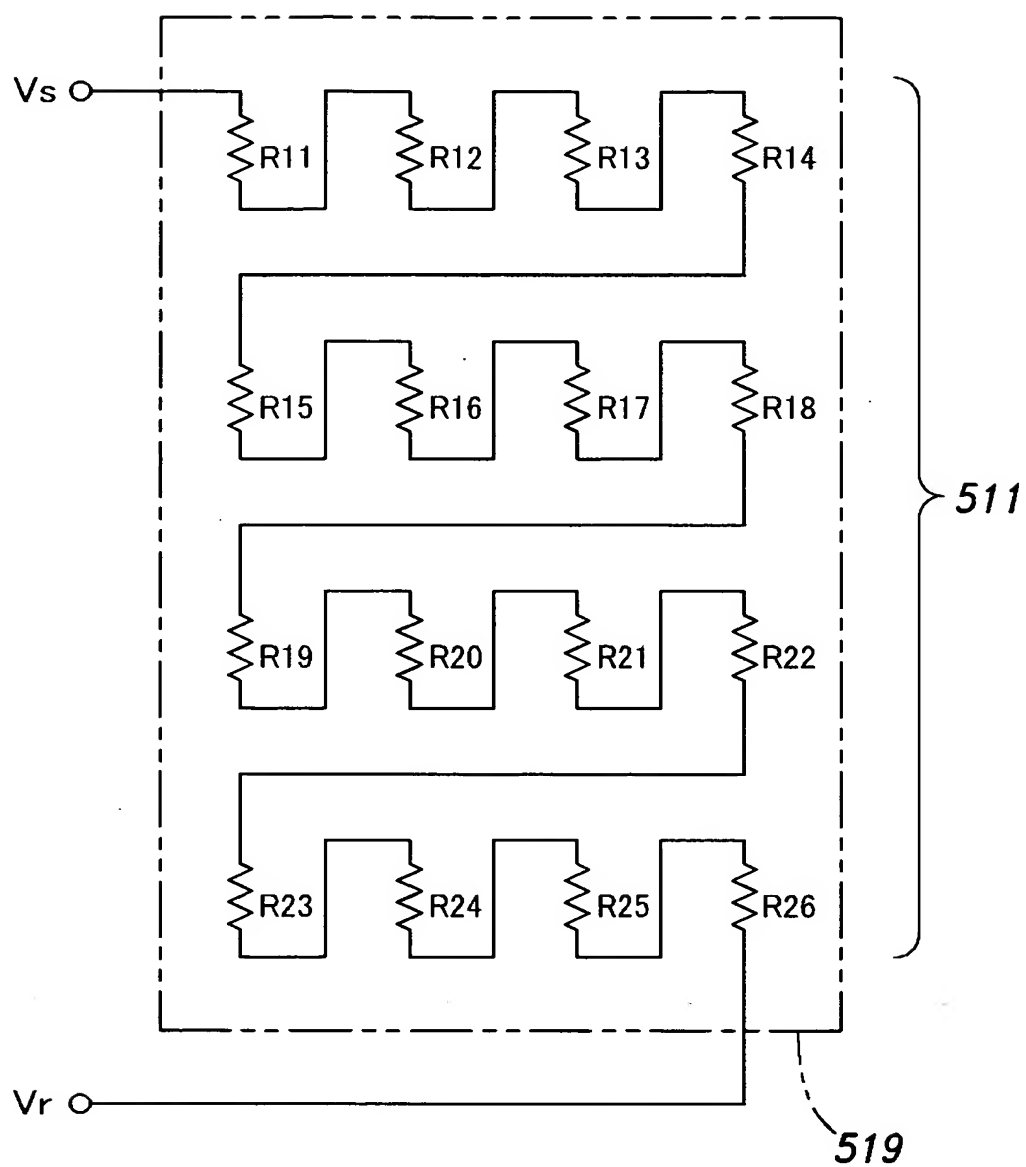
【図 1】



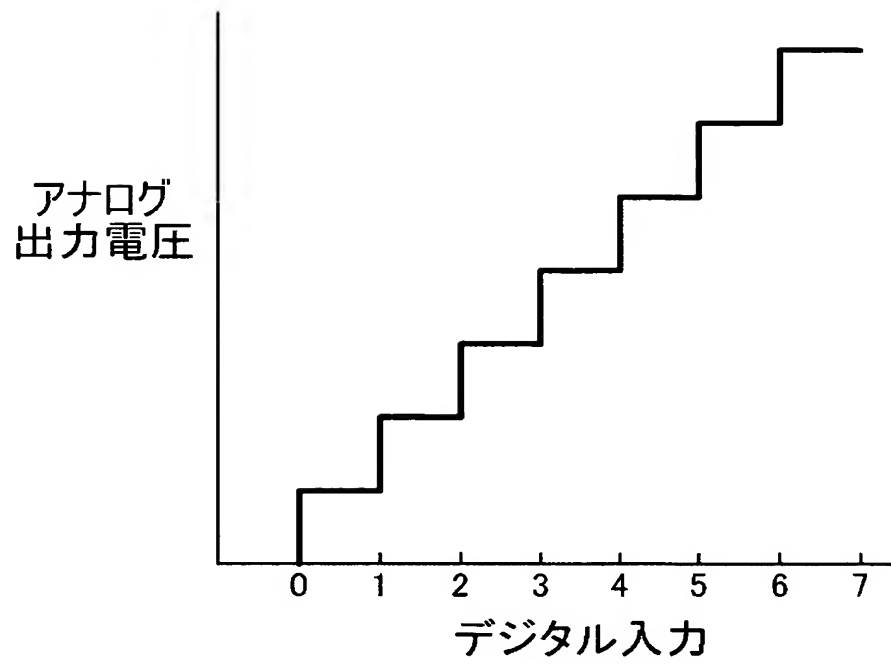
【図 2】



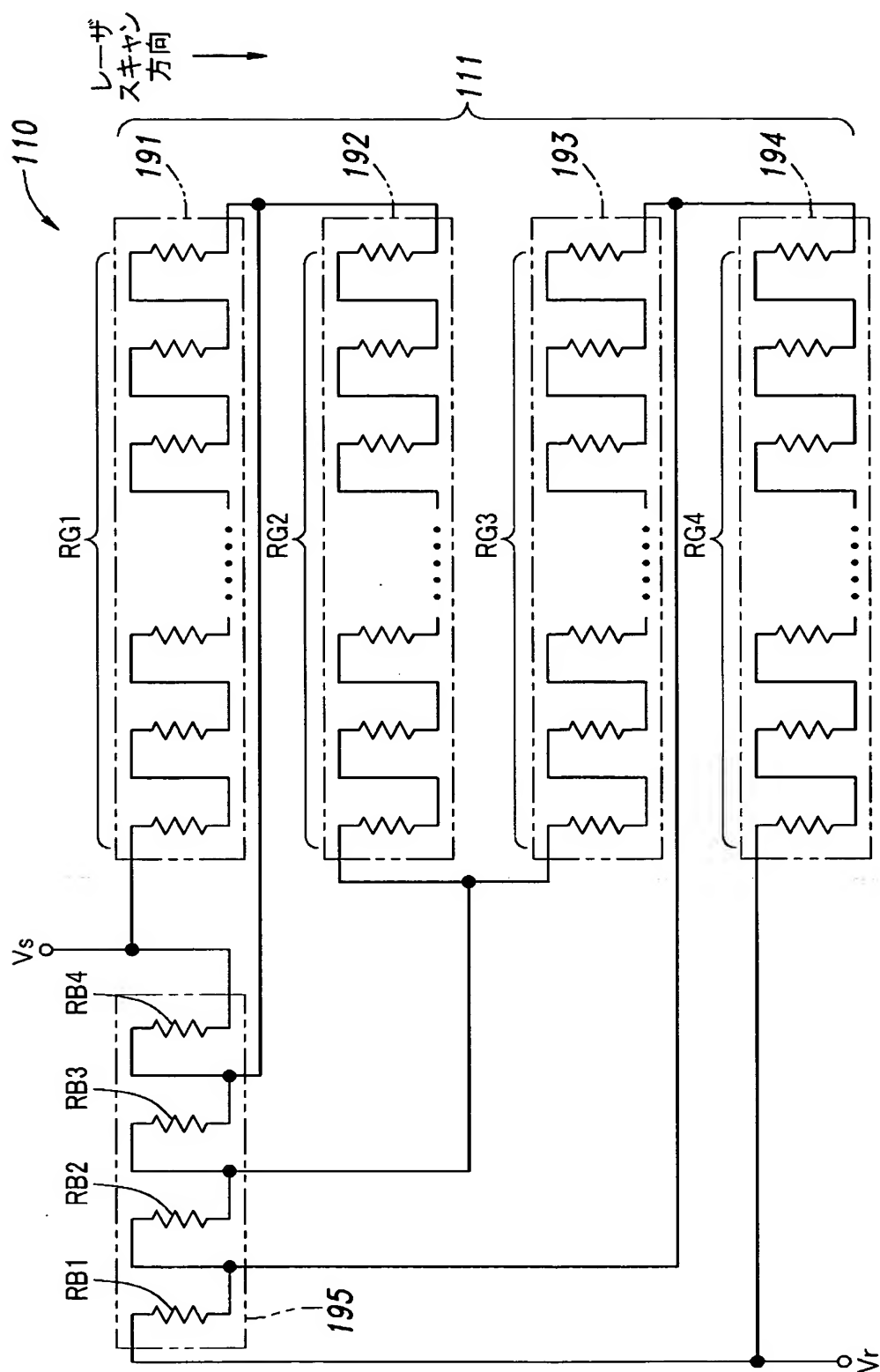
【図 3】



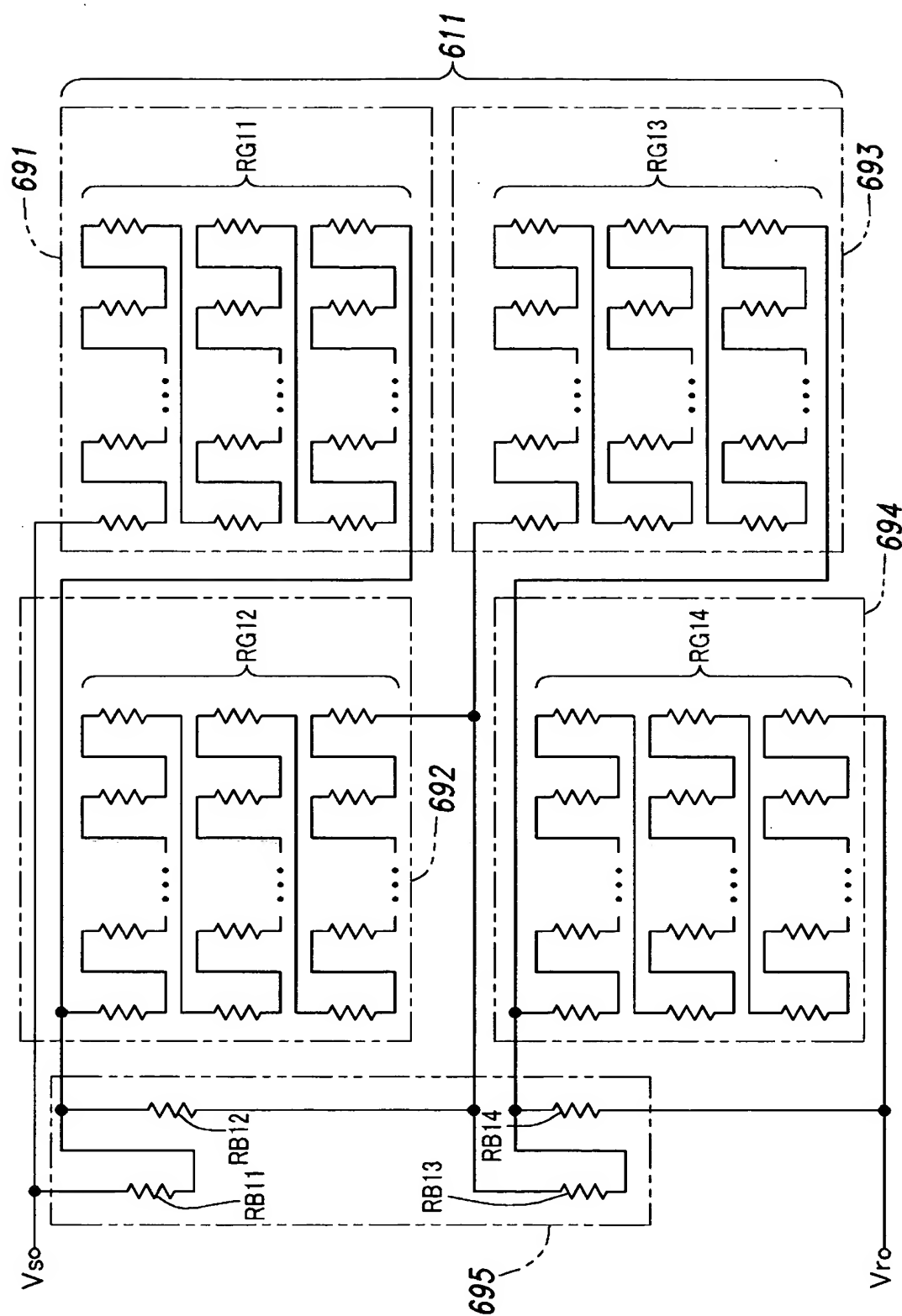
【図 4】



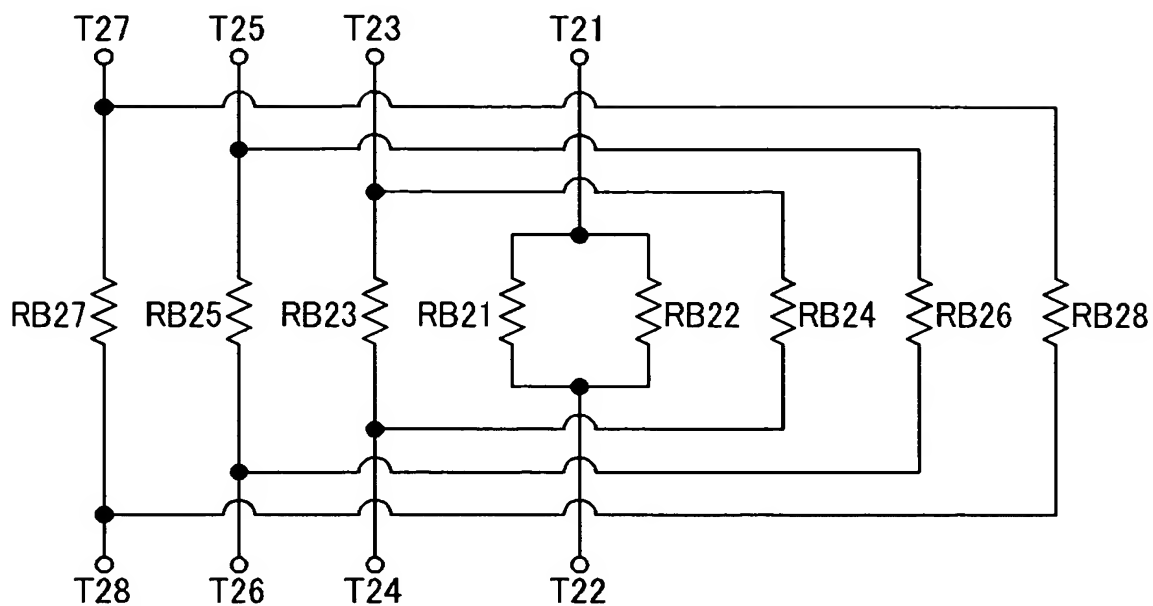
【図 5】



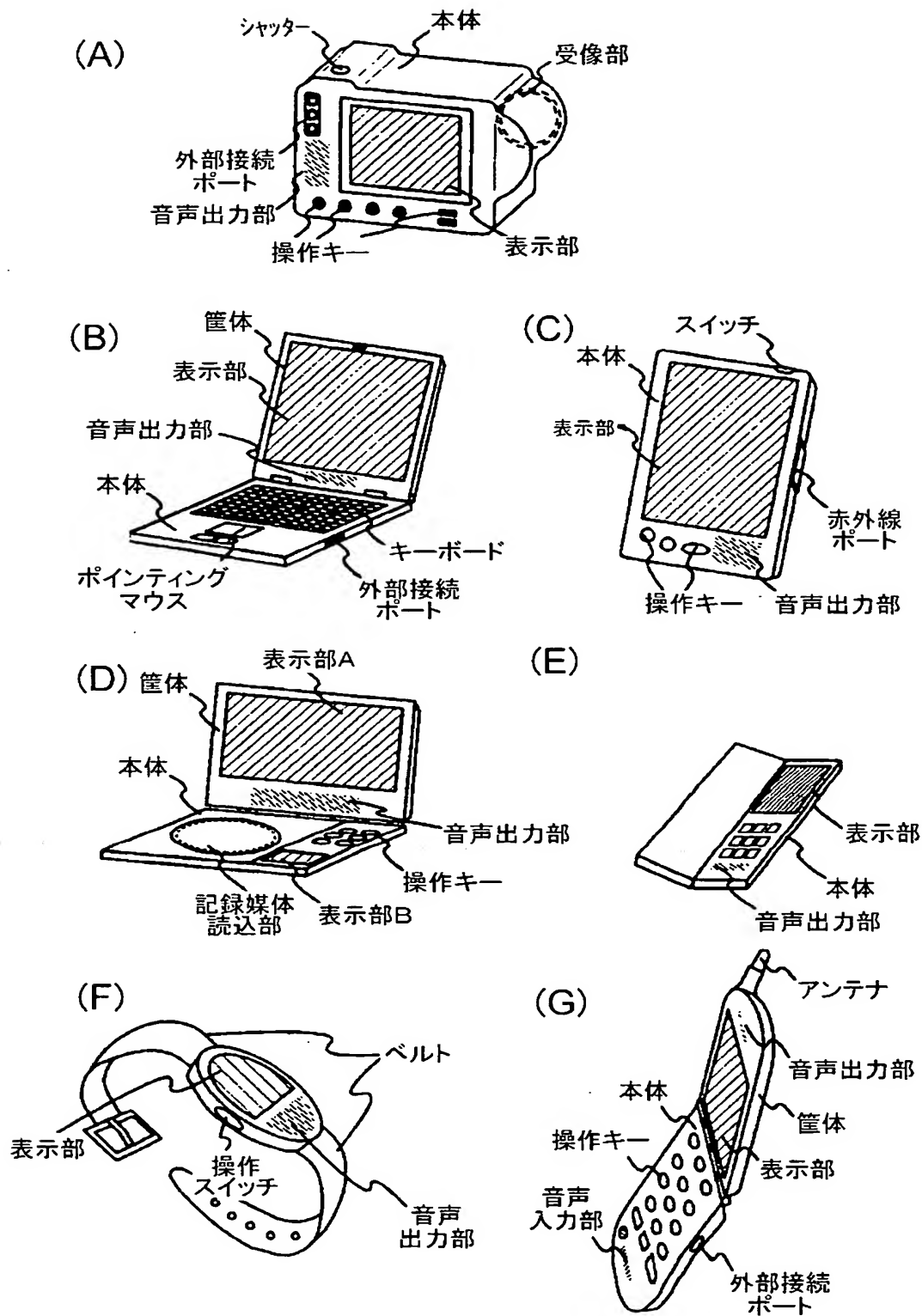
【図 6】



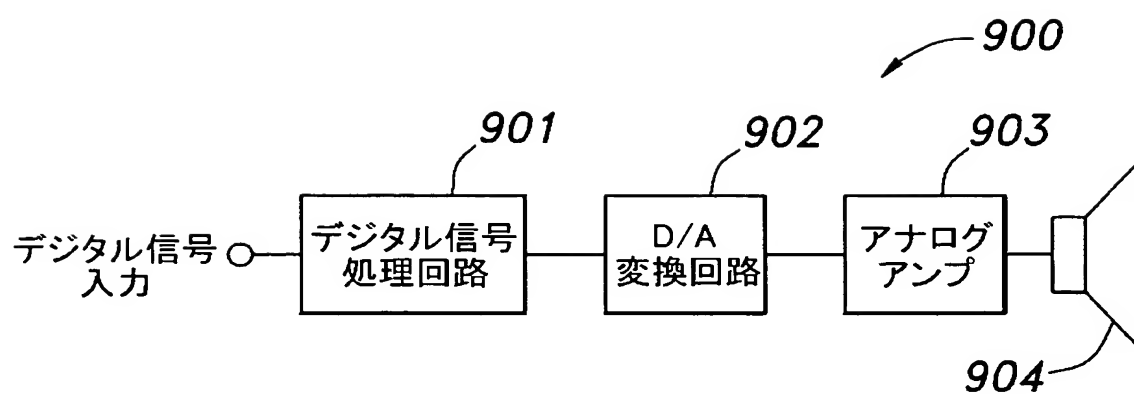
【図 7】



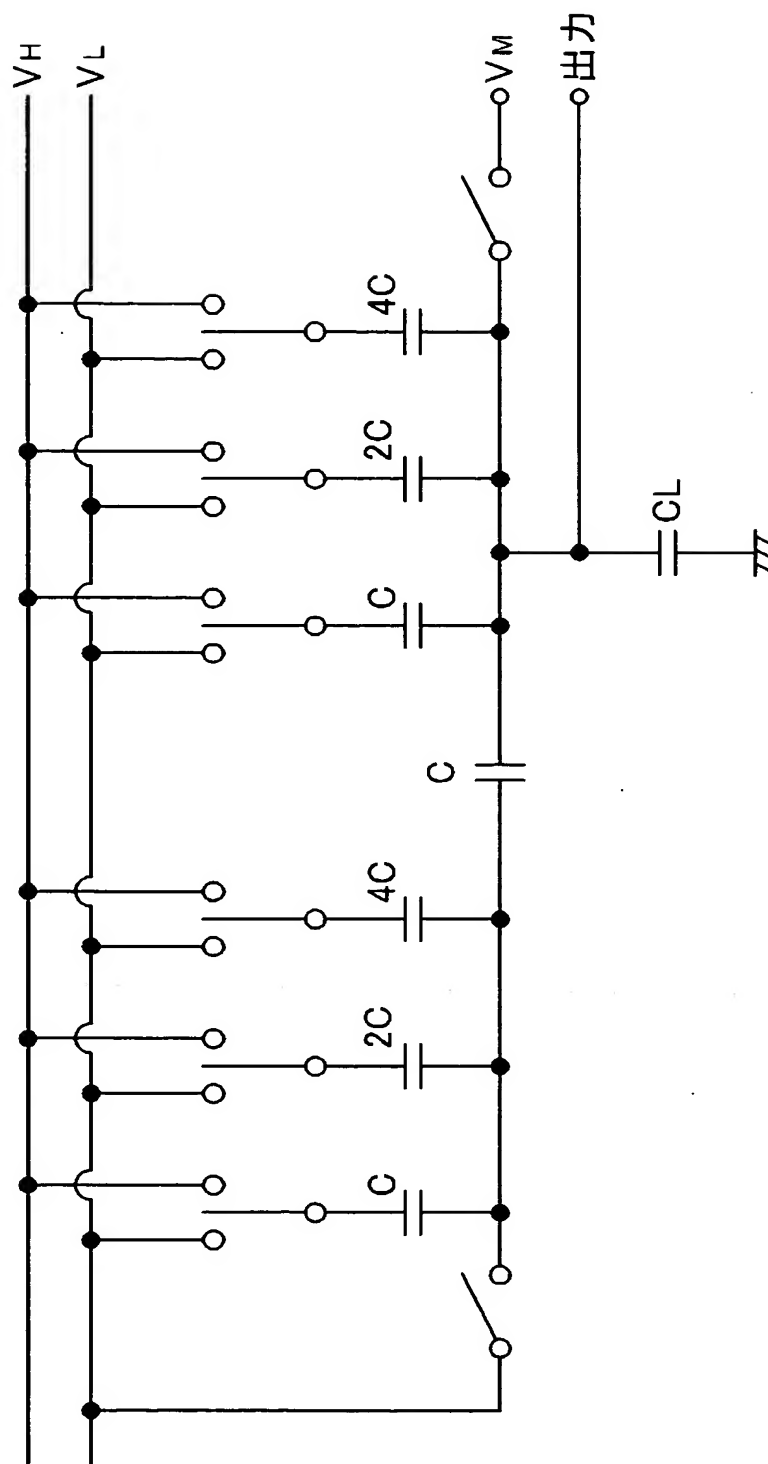
【図 8】



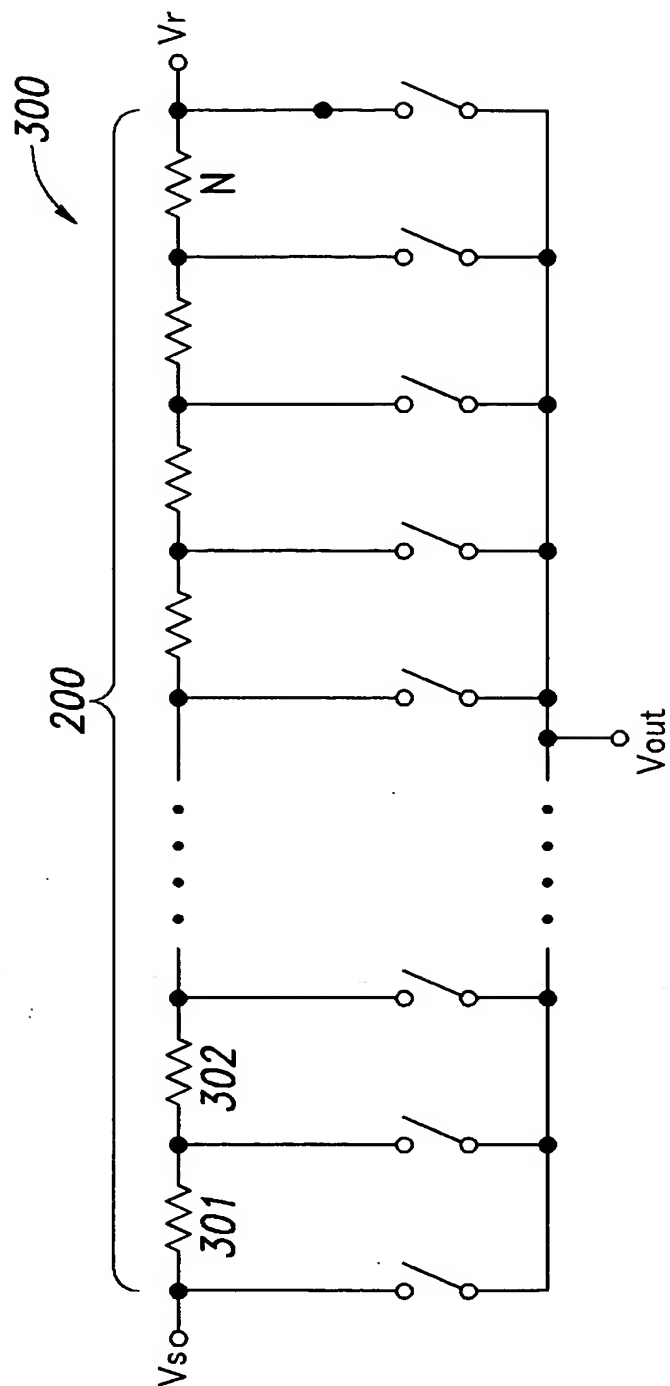
【図 9】



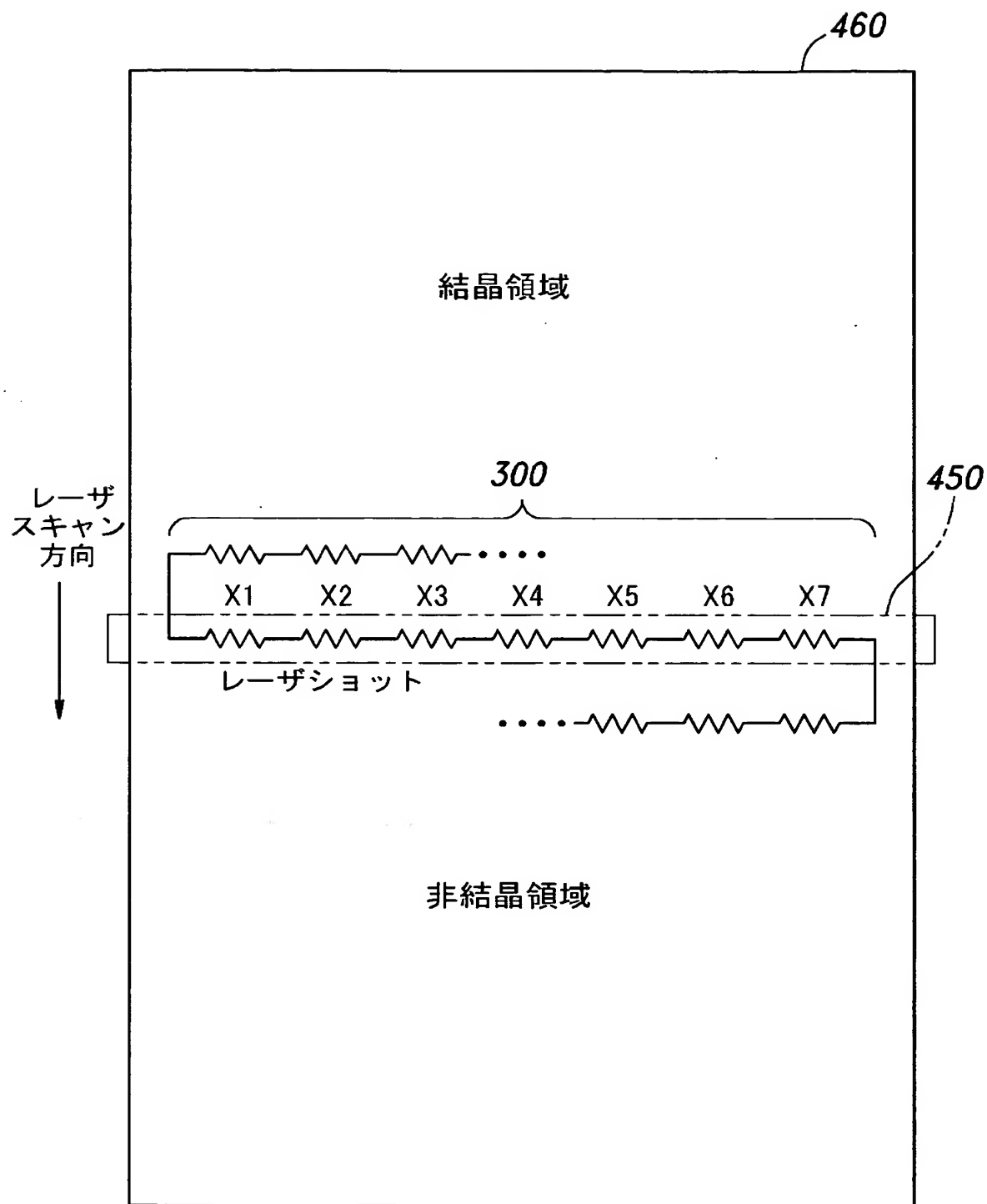
【図 10】



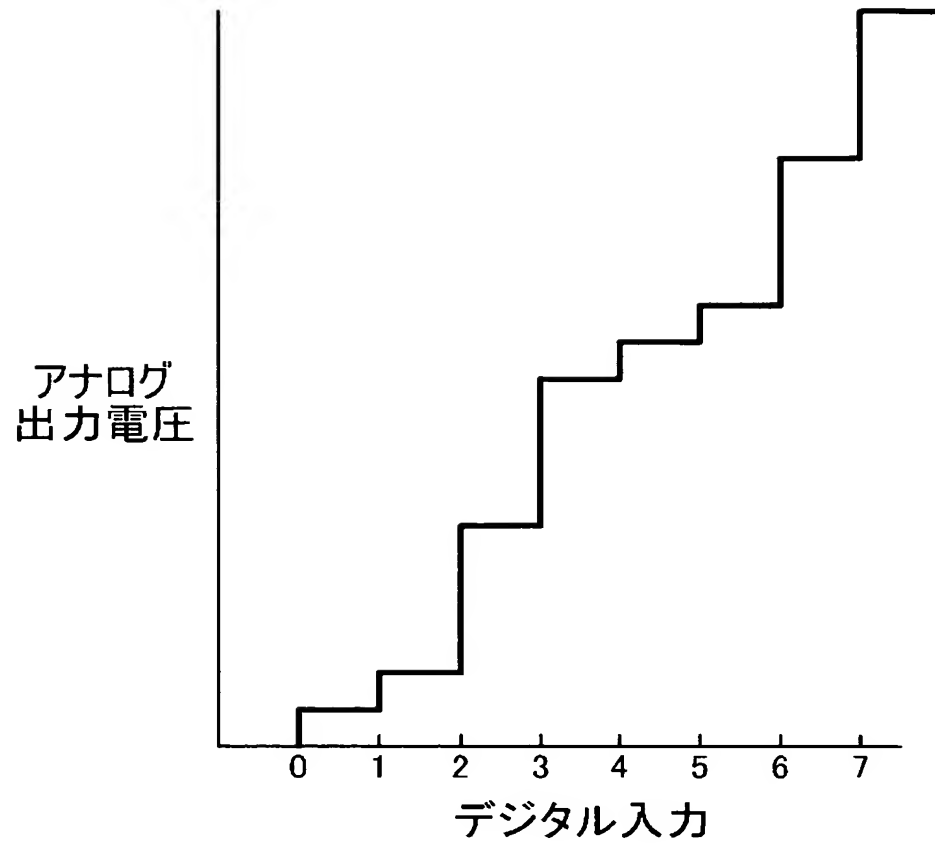
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 抵抗ストリングを構成する抵抗素子の抵抗値の相対精度を向上させ、より高精度な D/A 変換を可能とする。

【解決手段】 基準電圧間に直列に接続された複数の抵抗素子 R 0 ～ R 7 からなる抵抗ストリング 1 1 と、複数の抵抗素子の各接続点に接続された複数のスイッチ素子 S 0 ～ S 1 3 とを有し、複数の抵抗素子 R 0 ～ R 7 は、線状レーザ光照射により結晶化される薄膜素子である D/A 変換回路 1 0 の製造方法において、抵抗ストリング 1 1 を構成する全ての抵抗素子の形成部位を、レーザ光照射領域 1 9 内に配置する過程と、レーザ光照射領域内に配置された抵抗素子の形成部位を同一のショットのレーザ結晶化により結晶化する過程とを有する構成とする。

【選択図】 図 1

特願 2 0 0 3 - 1 0 8 6 6 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所

特願 2 0 0 3 - 1 0 8 6 6 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社